

# 低消費電力ミックスドシグナルIC用MOSトランジスタの研究

著者	宮本 正文
号	55
学位授与機関	Tohoku University
学位授与番号	工博第4504号
URL	<a href="http://hdl.handle.net/10097/61895">http://hdl.handle.net/10097/61895</a>

	みやもとまさふみ	
氏 名	宮 本 正 文	
授 与 学 位	博士 (工学)	
学 位 授 与 年 月 日	平成 23 年 3 月 25 日	
学 位 授 与 の 根 拠 法 規	学位規則第 4 条第 1 項	
研究科, 専攻の名称	東北大学大学院工学研究科 (博士課程) 技術社会システム専攻	
学 位 論 文 題 目	低消費電力ミックスドシグナル IC 用 MOS トランジスタの研究	
指 導 教 員	東北大学教授 須川 成利	
論 文 審 査 委 員	主査 東北大学教授 須川 成利	東北大学教授 遠藤 哲郎
	東北大学教授 梶井 昇一	東北大学客員教授 大見 忠弘
	東北大学准教授 寺本 章伸	(未来科学技術共同研究センター)
	(未来科学技術共同研究センター)	

## 論 文 内 容 要 旨

情報通信 (ICT) 機器が占める消費エネルギーは、情報量の爆発的増加に伴って急激に増加しており、日本国内では 2025 年には 2006 年の 5 倍に達すると言われている。もし現状のまま進めば、2025 年で約 2000 億 kWh の増加、換算すると 100 万 kW の原子力発電機が 22 基必要な電力量となる。また、世界全体では約 42000 億 kWh の増加、原子力発電機が 477 基分に相当する。したがって、現代においては情報通信機器の低消費電力化は必須技術である。情報通信機器の主要な部分を占める半導体集積回路 (IC) の基本は、自然界、人間あるいは他の IC からアナログ信号を受け取り、デジタル信号処理した後に、またアナログ信号に戻して通信や実動作を行なうミックスドシグナル IC となっている。情報通信機器全体では、情報処理を行うデジタル回路の消費電力が圧倒的に多いが、入出力を担当するミックスドシグナル IC に注目するとデジタル回路の増加に伴ってアナログ回路の規模もデジタル回路の約 1/3 乗で増加してきており、アナログ/デジタル両方の回路の低消費電力化が必要である。そこで、私はミックスドシグナル IC の基本デバイスとして、最も低消費電力である MOS トランジスタを選び、低消費電力化に対する課題の検討とそれに最適なトランジスタ構造および素子分離構造の研究を行った。

デジタル回路の基本回路は 1/0 の状態を示すスイッチであり、アナログ回路の基本回路は信号増幅器である。それぞれの基本回路の低消費電力化を検討すると、デジタル回路では、消費電力が電源電圧の 2 乗に比例して減少するため、まず低電圧動作、次に負荷容量低減のためのスケーリング (比例縮小) が効果的である。アナログ回路では、低電圧動作によって増幅器のバイアス電流の消費電力は低減する。しかし、信号とノイズの比 (S/N 比) を保つことを考慮すると、相互コンダクタンスを電圧の 2 乗に反比例して増加させなければならず、電流を 2 乗以上で増加させる必要があるため、逆に消費電力が増加してしまう。しかし、ミックスドシグナル IC の大部分を占めるデジタル回路にあわせた低電圧動作化と微細化をしなければならず、そのためのアナログ用のトラン

ジスタ構造の工夫が必要となる。

そこで、低電圧動作と微細化における MOS トランジスタ動作の課題として、駆動電流の低下、しきい値電圧ばらつきの影響増加、接合容量の増加、低しきい値電圧化によるリーク電流の増加、トランジスタ微細化による出力抵抗の低下、レイアウトによる特性ばらつきの影響増加、の6つの課題を抽出した。これらの課題を解決すべく、素子構造を工夫した3つの MOS トランジスタ構造と1つの素子分離構造を提案し、試作実験してその特性を確認した。

その中でデジタルとアナログ回路に共通に重要である、「駆動電流の低下」を防ぎ、「しきい値電圧ばらつき」を低減し、「接合容量の増加」を防ぐ MOS トランジスタ構造として横方向濃度分布型埋込み層 (Laterally Doped Buried Layer: LDB) 構造 MOS トランジスタを提案した。従来構造ではチャネル領域が均一な濃度分布になっているのに対し、本構造は、基板の表面は低濃度で、ソース・ドレインの接合の深さ付近では高濃度の埋込み層を設ける構造になっており、界面電界の低減による移動度の向上、つまり駆動電流の向上を図った。また、チャネルの両端の埋込み層をさらに高濃度にするにより、しきい値電圧のゲート長依存性を補正し、ゲート電極寸法ばらつきに起因する、しきい値電圧ばらつきの低減を行った。さらに、ソース・ドレイン下の埋込み層は接合容量を低減するため、埋込み層とは反対導電形の不純物をイオン打ち込みするカウンタードープをおこなって、高濃度の埋込み層の下に低濃度な基板と接合を形成する構造になっている。実験の結果、ゲート酸化膜表面の垂直方向電界と不純物散乱の低減により、駆動電流は約 10%増加し、チャネル両端の高濃度層によりゲート長依存によるしきい値電圧ばらつきを 1/2 に低減し、カウンタードープにより接合容量を約 1/3 に低減することができた。

次に、MOS トランジスタの低電圧動作における4つ目の課題である「低しきい値電圧化によるオフリーク電流の増加」を抑えるために、擬似 SOI (Pseudo Silicon On Insulator: P-SOI) 構造 MOS トランジスタを提案した。オフリーク電流を抑えるためには、サブスレッショルド特性が急峻なデバイスが必要であり、そのためには完全空乏化 SOI 構造が理想的であるが、基板の熱伝導が悪い、ウェーハコストが高いなどの理由で、あまり採用されていない。そこで、バルク基板を用いて完全空乏化 SOI と同等なサブスレッショルド特性を狙い、チャネル領域を縦方向に p-n-p 形の濃度分布に形成した。真中の n 形層は上下の p 形層との接合により、オフ状態の時から空乏化しており、ゲート電圧を印加して反転層形成時 (オン状態) の空乏層幅を広げて、空乏層容量を低減する役目を果たす。表面チャネル構造になるのでチャネルとゲート間の容量は低下しない。これにより、サブスレッショルド係数を低減することが出来る。また、この p-n-p 形チャネル構造でしきい値電圧を使いやすい値に調整するために、ミッドギャップに仕事関数を持つ金属であるチタンナイトライド (TiN) をゲート電極に用いた。TiN



は応力が強いと、TiN/ポリシリコンの2層構造のゲート電極とした。また、形成方法をこれまでのスパッタからCVD方に替えてゲート絶縁膜へのダメージを抑えた。実験した結果、従来90mV/decadeのサブスレッショルド係数を完全空乏化SOI並みの73mV/decadeにおさえることがき、ゲート酸化膜表面の垂直方向電界を低減による移動度の向上と基板定数の低減によるピンチオフ電圧の向上により、駆動電流を約25%増加させることができた。また、ゲート絶縁膜のリーク電流をn+ポリシリコンゲートよりも2桁低減させることができた。これはミッドギャップ仕事関数ゲート電極の効果である。

次に、アナログ回路の低電圧動作のために微細化したMOSトランジスタにおいて、増幅率の確保のために課題となる「ドレイン出力抵抗の低下」を防ぐために、LDB構造のポケットをソース側にのみ形成した、非対称濃度分布型埋込み層(Asymmetrically Doped Buried Layer: ADB)構造MOSトランジスタを提案した。本構造ではチャネル領域はソース側とドレイン側の2領域に分けることが出来、しきい値電圧はポケットのあるソース側のチャネル領域で決まり、ドレイン側のチャネル領域は低濃度のため、ソース側よりも低い、ある電圧でピンチオフする。従って、ソース側チャネルに印加される電圧は、ドレイン電圧によらずほぼ一定となり、ドレイン出力抵抗を非常に大きくすることができる。また、特に長チャネル側では実質的なチャネル長が短くなるため、相互コンダクタンスが上昇する。実験をした結果、長チャネル側の5 $\mu$ mでは、出力抵抗は130倍、相互コンダクタンスは2.5倍となり、設計最小チャネル長0.3 $\mu$ mでも出力抵抗5倍、相互コンダクタンスも1.3倍となった。最大増幅率は5 $\mu$ mで325倍、0.3 $\mu$ mで7倍の改善を達成した。

最後に、CMOSプロセスにおけるトランジスタの「レイアウトによる特性ばらつきの影響増加」を抑えるために低応力浅溝素子分離(Shallow Trench Isolation: STI)構造の検討を行った。微細化が進むとチャネル領域と素子分離領域の距離もスケールアップされ、トランジスタの平面レイアウトに依存して、しきい値電圧および駆動電流が変化することがわかった。素子分離領域とチャネル領域の距離が近い基本セルでは、NMOSトランジスタのしきい値電圧が60mV程度上昇する現象が見られ、PMOSトランジスタではドレイン電流が5%程度増加した。素子分離領域からの距離に依存するため、その原因はSTI領域で発生する局所応力であると推定した。応力シミュレーションでは約700Mpaの圧縮応力が発生しており、STI領域との距離が1 $\mu$ m以下になると急激に上昇する。MOSトランジスタの特性変動は、チャネル領域に印加される応力でプロセス途中の不純物拡散定数が変化し、チャネルの濃度分布が変わるためとバンドギャップ自体が応力で変化するためと考えられる。其の対策として、STI側壁酸化膜を窒化し、かつ、アニール工程を酸素雰囲気から窒素雰囲気に変更することにより、側壁酸化膜の酸化による体積膨張を抑えて、応力を低減する構造を提案した。実験をした結果、MOSトランジスタの平面レイアウトによる特性の変化をほぼ抑制することができた。

以上の提案した構造を実際の IC に適用して効果の実証を行った。デジタル IC として、LDB 構造トランジスタと低応力 STI 構造を  $0.18\text{ }\mu\text{m}$  CMOS ゲートアレーに適用することにより、従来の  $0.35\text{ }\mu\text{m}$  CMOS から消費電力を約  $1/5$ 、遅延時間を  $1/2$  にすることができた。また、ミックスドシグナル IC として携帯電話用ベースバンド IC に適用することを目的に、 $9\text{bit}/2\text{MHz}$  アナログデジタル変換回路、 $16\text{kbit}$  SRAM、CMOS 論理ゲート回路を、LDB 構造と一部 ADB 構造トランジスタを用いて試作した。動作電圧を  $3.3\text{V}$  から  $1.2\text{V}$  に低下することを可能にし、デジタル回路部分の消費電力は  $1/10$ 、アナログ回路部分の消費電力は約  $1/3$  に低減し、全体の消費電力は  $1/9$  に低減することができた。また、ADB 構造を LDMOS パワートランジスタに適用して、高周波での増幅率を向上し、パワーアンプの効率を約  $4\%$  向上させることができている。

これら技術を国内すべての情報通信機器に適用すれば、2025 年における日本の情報通信機器の消費電力は 2006 年の半分にすることができる。さらに低消費電力化を進めるためには、デジタル回路では  $1.2\text{V}$  から更なる低電圧動作化の継続と微細化による負荷容量の低減が必要である。一方、アナログ回路では、ノイズの問題が顕著になり、 $1.2\text{V}$  以下への低電圧化には追従できないと考えられる。したがって、ミックスドシグナル IC の内部ではアナログ用の電源とデジタル用の電源の 2 種類を持って対応する必要がある。最後に、これらの消費電力対策は、すべての情報通信機器に適用することで必要である。

今後の低消費電力化の課題としては、本研究で扱えなかった雑音の低減が大きいと考える。低電圧動作では信号電圧が下がるため、雑音の影響が相対的に大きくなり、特にアナログ回路では大きな問題となる今後、低消費電力/低電圧動作 IC 用 MOS トランジスタの研究として、ノイズの低減を大きな研究課題として考えたい。



# 論文審査結果の要旨

情報通信機器が占める消費エネルギーは、情報量の爆発的増加に伴って急激に増加しており、情報通信機器の主要部を占める集積回路（IC）の低消費電力化は大きな課題となっている。本論文は、ICの中でも、ロジック回路とアナログ回路を同一チップに混載するミックスドシグナル IC に搭載される基本素子の Metal-Oxide-Semiconductor（MOS）トランジスタに関して、低消費電力化を達成するためのトランジスタ構造および素子分離構造に関する研究をまとめたものであり、全文7章からなる。

第1章は序論である。

第2章では、駆動電流の低下を防ぎ、しきい値電圧ばらつきを低減し、接合容量の増加を防ぐ MOS トランジスタとして横方向濃度分布型埋込み層（Laterally Doped Buried Layer: LDB）構造 MOS トランジスタを新たに提案し、試作実験を行った結果について明らかにしている。基板の表面は低濃度にしつつ高濃度の埋込み層を設ける構造により、界面電界の低減による駆動電流の向上を行い、また、チャネルの両端の埋込み層をさらに高濃度にするによりゲート電極寸法ばらつきに起因するしきい値電圧ばらつきの低減を行っている。さらに、ソース・ドレイン下の埋込み層にカウンタードープを施すことで接合容量を低減する方法を示している。これは、極めて重要な成果である。

第3章では、低しきい値電圧化によるオフリーク電流の増加を抑えるために、バルク基板を用いながらもサブスレッショルド特性が急峻な、擬似 SOI（Pseudo Silicon On Insulator: P-SOI）構造 MOS トランジスタを新たに提案し、試作実験を行った結果について明らかにしている。チャネル領域に関して、縦方向に p-n-p 形の濃度分布を形成することで、真中の n 形層を上下の p 形層との接合によりオフ状態の時から空乏化させ、反転層形成時の空乏層幅を広げる構造を示している。この構造により、反転層空乏層容量を低減して、完全空乏化 SOI と同等なサブスレッショルド特性を実現している。これは、極めて重要な成果である。

第4章では、アナログ回路の低電圧動作で問題となるドレイン出力抵抗の低下を防ぐために、LDB 構造のポケットをソース側にのみ形成した、新規な非対称濃度分布型埋込み層（Asymmetrically Doped Buried Layer: ADB）構造 MOS トランジスタを提案し、試作実験を行った結果を明らかにしている。この構造により、しきい値電圧はソース側のチャネル領域で決定され、ドレイン側のチャネル領域は低濃度のため、ソース側よりも低い、ある電圧でピンチオフする。従って、ソース側チャネルに印加される電圧は、同じゲート電圧ではドレイン電圧によらずほぼ一定となり、ドレイン出力抵抗が非常に大きくなることを見出している。これは極めて重要な成果である。

第5章では、MOS トランジスタのレイアウトによる特性ばらつき増加を抑えるために低応力浅溝素子分離（Shallow Trench Isolation: STI）構造の検討と試作実験を行った結果について明らかにしている。応力シミュレーション解析により、レイアウトによる特性変化の原因は STI 領域で発生する局所的応力であると推定して、対策として、STI 側壁酸化膜を窒化すると共にアニール工程を酸素雰囲気から窒素雰囲気に変更し、側壁酸化膜の追加の酸化による体積膨張を抑えて、応力を低減している。その結果、レイアウトによる特性の変化をほぼ抑制している。これはきわめて有用な成果である。

第6章は、以上に提案した構造を実際のミックスドシグナル IC に適用した例を示している。

第7章は、結論である。

以上要するに本論文は、低消費電力ミックスドシグナル IC に有用な新規な MOS トランジスタ構造および素子分離構造を研究した成果をまとめたものであり、半導体工学に寄与するところが少なくない。

よって、本論文は博士（工学）の学位論文として合格と認める。